

Corro

US 5,679,173, US 5,790,274, US 5,793,517  
US 5,801,847, US 6,081,350 and US 6,677,989  
外部機器の接続と使用

引例7

通信モードの設定(記録, 再生)の制御

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-284368

(43) 公開日 平成6年(1994)10月7日

(51) Int.Cl.<sup>5</sup>

H 0 4 N 5/907  
5/225

識別記号

庁内整理番号

B 7916-5C  
Z

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 22 頁)

(21) 出願番号 特願平5-66878

(22) 出願日 平成5年(1993)3月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 結澤 ▲巖▼

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所映像メディア研究所内

(72) 発明者 伊藤 滋行

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所映像メディア研究所内

(72) 発明者 若林 学

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所映像メディア研究所内

(74) 代理人 弁理士 武 顕次郎

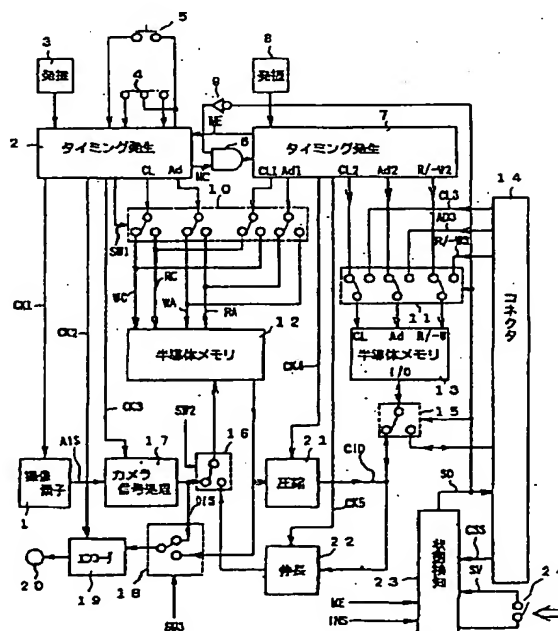
(54) 【発明の名称】 撮像記録装置

(57) 【要約】

【目的】 外部機器からのメモリアクセスを容易にし、かつ、画像情報が改変されることがないようにする。

【構成】 記録トリガースイッチ5を操作すると、そのときにカメラ信号処理回路17から出力される1画像が半導体メモリ12に書き込まれ、さらに、データ圧縮回路21でデータ圧縮されて半導体メモリ13に記憶される。このとき、コネクタ14に図示しない外部機器が接続されているとすると、この外部機器が半導体メモリ13の画像を取り込むように指示しても、半導体メモリ13が画像書き込み中であるときには、状態検知回路23がこれを検知して外部機器への取り込みを禁止し、また、外部機器への半導体メモリ13の画像の取り込み中、状態検知回路23がこれを検知し、記録トリガースイッチ5を操作しても、ANDゲート6がオフして半導体メモリ13への画像書き込みを禁止する。

【図1】



音声表示  
動作表示

## 【特許請求の範囲】

【請求項1】 光学像を光電変換して電気的な二次元画像情報信号を生成する撮像手段と、該二次元画像情報信号を記憶するメモリと、動作開始指示のための動作開始指示手段と、該動作開始指示手段の動作開始指示に応動して該メモリの第1のアクセスにより該撮像手段で生成された1枚の二次元画像情報信号を該メモリに記憶させる制御手段とを有する撮像記録装置において、外部装置に接続可能とするコネクタと、該コネクタを介して外部装置により該メモリをアクセスする第2のアクセスと該第1のアクセスとを切り替え可能とする切換え手段と、  
該第2のアクセスが準備状態あるいは実行状態にある第1の状態を検知する状態検知手段とを備え、該状態検知手段が該第1の状態を検知したときには、該切換え手段による該第1のアクセスへの切替を禁止するように構成したことを特徴とする撮像記録装置。

【請求項2】 光学像を光電変換して電気的な二次元画像情報信号を生成する撮像手段と、該二次元画像情報信号を記憶するメモリと、動作開始指示のための動作開始指示手段と、該動作開始指示手段の動作開始指示に応動して該メモリの第1のアクセスにより該撮像手段で生成された1枚の二次元画像情報信号を該メモリに記憶させる制御手段とを有する撮像記録装置において、外部装置に接続可能とするコネクタと、該コネクタを介して外部装置により該メモリをアクセスする第2のアクセスと該第1のアクセスとを切り替え可能とする切換え手段と、  
該第1のアクセスが準備状態あるいは実行状態にある第2の状態を検知する状態検知手段とを備え、該状態検知手段が該第2の状態を検知したときには、該切換え手段による該第2のアクセスへの切替を禁止するように構成したことを特徴とする撮像記録装置。

【請求項3】 光学像を光電変換して電気的な二次元画像情報信号を生成する撮像手段と、該二次元画像情報信号を記憶するメモリと、動作開始指示のための動作開始指示手段と、該動作開始指示手段の動作開始指示に応動して該メモリの第1のアクセスにより該撮像手段で生成された1枚の二次元画像情報信号を該メモリに記憶させる制御手段とを有する撮像記録装置において、外部装置に接続可能とするコネクタと、該コネクタを介して外部装置により該メモリをアクセスする第2のアクセスと該第1のアクセスとを切り替え可能とする切換え手段と、  
該第2のアクセスが準備状態あるいは実行状態にある第1の状態と、該第1のアクセスが準備状態あるいは実行状態にある第2の状態とを検知する状態検知手段とを備え、該状態検知手段が該第1の状態を検知したときには、該切換え手段による該第1のアクセスへの切替を禁止し、該第2の状態を検知したときには、該切換え手

段による該第2のアクセスへの切替を禁止するように構成したことを特徴とする撮像記録装置。

【請求項4】 請求項1または3において、前記メモリは、前記第1のアクセスが分離して実行可能な各々少なくとも前記1枚の二次元画像情報信号を記憶する複数のメモリ領域を有し、該複数のメモリ領域の1つが前記第1の状態にあるときにも、他のメモリ領域を第1のアクセスとして前記動作開始指示に応動する二次元画像情報信号を記憶可能に構成したことを特徴とする撮像記録装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、被写体の光学像を画像情報信号として電子的に記録する撮像記録装置に係り、特に、周辺機器と接続して装置間で該画像情報信号のやり取りをする場合等での操作性を高めた撮像記録装置に関する。

## 【0002】

【従来の技術】従来のこの種の装置としては、いわゆる電子カメラがあり、「テレビジョン学会誌」Vol. 46, No. 3 (1992) pp. 300～307に記載の、佐々木ほかによる論文“ディジタルスチルカメラ用画像符号化方式”(以下、公知例1という)で説明されるディジタルスチルカメラや、富士写真フイルム株式会社発行のカタログ“FUJIX DIGITAL STILL CAMERA SYSTEM”(1991年9月)(以下、公知例2という)に記載されたDS-100型カメラがその例である。

【0003】かかる公知例1、2に記載の電子カメラでは、例えば公知例1の図1に示されるように、撮像素子で得られた画像情報信号がディジタル化(量子化)されて半導体メモリを搭載したカード(以下、メモリカードという)に記録される。

【0004】このように、公知例1、2では、画像情報信号がディジタル信号として取り扱われるので、本来専らディジタル信号を取り扱うパーソナルコンピュータ等の周辺機器との接続が(アナログ/ディジタル変換器等を介さず、ディジタル信号で直接信号授受できるので)容易であり、また、伝送路に起因する画質劣化がない等、他のシステムとの接続性が良いことが示されている。

【0005】なお、公知例1には、周辺機器との接続に関する具体例は記述されていないが、メモリカードを仲介媒体として使用するものと解される。公知例2には、このようなメモリカードの使用例が開示されている。即ち、メモリカードを、まず、電子カメラに装着して画像情報信号を記録し、その後、このメモリカードを電子カメラから取り外して電子カメラとは別体の周辺機器に装着し、メモリカードに記録された画像情報信号をこの周辺機器に読み取らせるものである。この場合も、電子カ

3

メラでメモリに記録された画像情報をデジタル信号のまま（デジタル／アナログ変換器やアナログ／デジタル変換器等を介さず）周辺機器に伝送する方法として、上記したメモリカードを仲介媒体とする方法以外の方法は開示されていない。

【0006】ところで、パーソナルコンピュータ等と接続して画像情報信号を電氣的に授受する公知の装置として、富士フイルムマイクロデバイス株式会社発行の“FSA2001概要説明資料”（平成3年6月24日）（以下、公知例3という）に記載のFSA2001型静止画像圧縮伸長基板がある。この公知例3に記載の装置はデジタル画像情報信号を記憶する半導体メモリを内蔵しており、この装置とコネクタ、ケーブル等を介して接続されたパーソナルコンピュータとの間で、前記した半導体メモリに記憶しようとするか、あるいは、既に記憶されているデジタル画像情報信号をデジタル信号のまま授受するものである。

【0007】公知例1、2の場合はカメラ装置であり、光学像から電氣的な画像情報信号を生成する撮像手段を有しているのに対し、公知例3の場合はかかる手段を有しておらず、画像情報信号の作成はパーソナルコンピュータで行われる。パーソナルコンピュータで生成された画像情報信号は公知例3に記載の装置に伝送されて一旦第1のメモリに蓄えられる。次いで、この第1のメモリから読み出された画像情報信号にDCT（離散コサイン変換）方式による画像データ圧縮処理を施し、上記パーソナルコンピュータに送り返す。このような動作は、公知例1の図2に示された装置ブロックの動作に類似したものである。

【0008】ここで、公知例3に記載の装置での画像情報信号の書き込みあるいは読出し動作は接続されたパーソナルコンピュータの時間管理のもとに実行されるから、上記第1のメモリでの情報データの書き込みと読出しとが重複すること等により、ある1枚の画像のデータを読み出している途中でその内容が別の画像のデータに切り替わってしまい、その結果、画像情報が変容してしまう等の不都合は未然に回避できる。

【0009】また、公知例3に記載の装置においては、上記した画像データの圧縮処理と圧縮された画像情報信号の出力に際し、この装置からパーソナルコンピュータへのデータ出力はパーソナルコンピュータが出力するクロックに同期して行なわれるが、画像データの圧縮処理は、この装置内部の独立したクロック、即ちパーソナルコンピュータが出力したクロックとは非同期のクロックで行なわせるため、いわゆるFIFO（Fast In / Fast Out）型のバッファメモリを備えている。

【0010】ここで、このFIFO型メモリの動作を図2により説明する。同図において、FIFO型メモリ21はメモリアドレスの0、1、2、……、n、n+1、

4

……、m番地のデータ記憶領域を有している。メモリ21が動作開始すると、まず、0番地から1、2、……番地の順にデータが書き込まれる。書き込みアドレスの更新は、前記した装置内部のクロックの繰返しタイミング毎に行われる。アドレスn番地にデータの書き込みが行なわれると、このタイミングでアドレス0番地からデータの読出しが開始され、書き込みと同様、1、2、……番地の順にデータの読出しが行なわれる。読出しアドレスの更新は、前記したパーソナルコンピュータから上記の装置に供給される外部クロックの繰返しタイミング毎に行われる。これ以降、順次更新されていく書き込みのアドレスを追い掛けるように、読出しのアドレスも更新されていく。書き込みも読出しも、アドレスがm番地に達すると、次のクロックタイミングで再び0番地に戻るよう制御される。

【0011】FIFO型メモリを以上の様に動作させると、書き込みと読出しとの初期状態のアドレスオフセット量をAos（=n）、書き込みアドレスがバッファメモリの最終m番地となったときの書き込みと読出しとのアドレスオフセット量をA'os（=m-n）、上記の外部からの読出しクロックの繰返し周期をTとしたとき、読出しクロックの発生タイミングに対する書き込みクロックのタイミングが遅れ方向で最大Aos×T、進み方向で最大A'os×T夫々ずれても、メモリに書き込まれた順序通りに正しくデータを読み出すことができる。即ち、非同期のクロックで動作するシステム間では、FIFO型バッファメモリを介在させることにより、データの転送が正しく実行できる。

【0012】しかしながら、FIFO型メモリを用いた場合、書き込みクロック（公知例3に記載の装置の圧縮データ出力動作モードでは、上記装置内部でのクロック）と読出しクロック（同モードでは、パーソナルコンピュータから上記装置に供給されるクロック）とが全く相互関係なしに設定できるわけではない。例えば、クロック間の繰返し周波数の差に関しては、使用するバッファメモリの容量から規制されるアドレスオフセット量が制限要因となるし、また、読出し動作の開始タイミングは、書き込み動作のタイミングに対して時間管理されなければならない。

【0013】公知例3に記載の装置は、さらに、パーソナルコンピュータから圧縮された画像情報信号を入力し、内部のデータ伸長回路で元の非圧縮画像情報信号に復元して前記した第1の半導体メモリに記憶し、その後、この復元画像情報信号をパーソナルコンピュータに送り返す機能も有している。かかる動作においても、この装置の動作タイミングは接続されたパーソナルコンピュータの管理のもとに実行されるので、第1の半導体メモリへのコンピュータから供給される圧縮処理がなされていない画像情報信号の書き込みと、このメモリへの上記復元画像情報信号の書き込みとが時間的に重複するような

事態は未然に回避できる。

【0014】また、かかる動作において、FIFO型メモリは、書込みクロックとしてパーソナルコンピュータから供給されるクロックを使用し、読出しクロックとして装置内部のクロックを使用して動作するが、この2つのクロック相互間の関係は、前記した圧縮画像情報信号の出力動作の場合と同じである。

【0015】なお、公知例3に記載の装置においては、FIFO型メモリで装置内部のクロックによる書込みとパーソナルコンピュータからのクロックによる書込みとが時間的に重なるような動作モードが発生しないように、接続して使用するパーソナルコンピュータのプログラム等が構成される。

【0016】

【発明が解決しようとする課題】ところで、公知例1、2に示される電子カメラ等の撮像記録装置用の電子回路は、最近の高集積LSI技術及び高密度基板実装技術を用いることにより、極めて小型の回路ブロックで実現できる。このため、特に単焦点光学レンズ等を用いた小型のカメラを作ろうとする場合、上記公知例に示されたメモリカードを使用する方式では、このメモリカードを収納するためのスペース、メモリカード装填用のコネクタの搭載スペース、あるいはメモリカードを抜去するための機構用のスペース等が小型化を阻害する大きな要因となる。

【0017】また、装置を小型化するとともにメモリカードも小型化することが考えられるが、小型化された装置からさらに小型のメモリカードを抜き取るのは操作が面倒になるし、抜き取りに際して誤って装置を落下させるなどして装置を破壊してしまう恐れもある。

【0018】上記したようなメモリカードの抜き差しに起因する不都合は、撮像記録装置に画像情報信号の入出力用のコネクタを設け、このコネクタを介して外部機器と直接信号の授受ができるようにすることで解決できる。しかし、撮像記録装置には、従来のフィルムカメラのシャッターボタンに相当する記録スイッチが設けられており、この記録スイッチの開成操作により、操作者が希望する任意の、かつ上記コネクタに接続された外部機器の動作状況に制約されないタイミングで光学像を装置内に取り込み、電気信号として半導体メモリに記録する動作が実行される、あるいは実行させたい場合がある。例えば、記録スイッチを開成後、いまだ装置内の記録動作が完了していない状態でコネクタに外部機器を装着した場合、あるいは、ある瞬間のシャッターチャンスを逃さずに画像を記録する場合等がそれである。従って、撮像記録装置に上記のようなコネクタを設ける場合には、半導体メモリでの情報の書込みと読出しとが重複することによる画像内容の変容を防止するために、あるいは記録スイッチの操作による情報の書込みと外部機器から入力される情報の書込みとが同じの半導体メモリで競合して画

像内容が変容してしまう等の不都合を回避するために、全ての装置動作がコンピュータで一元的に管理されている前記公知例3に記載の装置とは異なる新たな動作管理が必要となる。

【0019】さらに、撮像記録装置と画像情報をやり取りする外部機器として、パーソナルコンピュータが考えられるが、この場合、撮像記録装置内部のシステム動作用クロックと全く無関係な情報伝送用クロックをパーソナルコンピュータから撮像記録装置に入力して情報の授受ができれば、汎用性、操作性の面から極めて有効である。

【0020】本発明の目的は、以上のような点を勘案し、誤動作を防止し、汎用性、操作性に優れた小型の撮像記録装置を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体メモリと、記録スイッチ等の装置動作開始指示手段と、該装置動作開始指示手段による動作開始指示に連動して撮像による画像情報信号を該半導体メモリに書き込み制御する制御手段とを有する撮像記録装置において、該半導体メモリに記憶されている画像情報信号を装置外に出力するための、あるいは、該半導体メモリに記憶すべき信号を装置内に入力するための第1のコネクタを設けるとともに、該第1のコネクタが外部機器等の有する第2のコネクタに嵌合したことを検出する、あるいは、第1のコネクタを介して外部機器から供給される信号を検出することにより、外部機器との間で画像情報の授受準備状態あるいは授受実行状態にある第1の状態を検知するとともに、該記録スイッチの開成等に連動した半導体メモリへの画像情報信号の書き込み動作状態にある第2の状態を検知する状態検知手段を設け、該状態検知手段が上記第1の状態を検知したときには、上記記録スイッチの開成等に連動した半導体メモリへの新たな画像情報信号の書き込みを禁止し、該状態検知手段が上記第2の状態を検知したときには、外部機器との間での画像情報の授受実行状態への移行を禁止するようにする。

【0022】

【作用】状態検知手段は、例えば上記第1のコネクタと第2のコネクタが嵌合したとき押圧されて開成されるスイッチを備え、このスイッチは、これらコネクタが嵌合状態にある間、電気信号を出力する。あるいは、例えば上記したコネクタの嵌合後、外部機器からこれらコネクタを介して少なくとも外部機器との画像信号授受の実行以前に入力される信号を検知し、電気信号を出力する。但し、半導体メモリが、記録スイッチの開成等に連動して、画像情報信号の書き込み動作モードにある期間では、撮像記録装置は上記電気信号の出力は禁止される。

【0023】本発明は、状態検知手段の出力電気信号があるとき、外部機器との間での画像情報信号の授受のた

めにアクセスされるべき半導体メモリでの、記録スイッチの閉成に連動した画像情報信号の書き込みが禁止されるように制御される。

【0024】以上の動作により、本発明においては、外部機器との間で画像情報の授受を行なっているとき、使用者が誤って記録スイッチを操作してしまうような事態が発生しても、授受している画像の内容が変容することはない。また、例えば上記半導体メモリの前段に一時記憶用のバッファメモリを設けることにより、外部機器との信号授受動作期間においても、画像の撮影が可能である。

【0025】状態検知手段から上記電気信号の出力が禁止されているとき、記録スイッチの閉成等に連動して画像情報信号を書き込むべく選択されている半導体メモリのアクセス状態を維持し、外部機器からのアクセス可能な状態に移行することが禁止される。

【0026】かかる動作により、本発明においては、撮影した画像を記録する一連の動作が継続している状態においても、この画像の内容が変容することなく、外部機器等との接続操作が実行できる。

【0027】また、本発明においては、装置の内部動作である記録スイッチに連動した画像情報信号の書き込みと、装置の外部機器とのやり取り動作である画像情報信号の読み出し／書き込みとが時分割で独立して実行され、分割された動作相互間の動作タイミングには時間的制約条件がないので、装置内部のシステム動作クロックと無関係のクロックを装置外から供給して装置との画像情報の授受が実行できる。

【0028】

【実施例】以下、本発明の実施例を図面により説明する。図1に本発明による撮像記録装置の一実施例を示すブロック図であって、1は撮像素子、2はタイミング発生回路、3は発振器、4は電源スイッチ、5は記録トリガスイッチ、6はANDゲート、7はタイミング発生回路、8は発振器、9はインバータ、10、11はスイッチ、12、13は半導体メモリ、14はコネクタ、15、16はスイッチ、17はカメラ信号処理回路、18はスイッチ、19はエンコーダ、20は出力端子、21は画像データ圧縮処理回路、22は画像データ伸長処理回路、23は状態検出器、24はスイッチである。

【0029】同図において、使用者が電源スイッチ4を閉路操作すると、マイクロコンピュータあるいは論理回路で構成されたタイミング発生回路2はこれを検知し、図示しない電源回路を動作させて各部に動作電源を供給開始させるとともに、発振器3から供給される第1の基準周波数信号に適宜分周等の処理を施して、撮像素子1、カメラ信号処理回路17、エンコーダ19夫々の動作クロックパルスCK1、CK3、CK2や、スイッチ制御信号SW1、SW2、SW3を発生する。これらスイッチ制御信号SW1、SW2、SW3により、スイ

ッチ10、16、18が図示の方向に閉じる。これらスイッチ10、16、18は、論理回路技術による公知のマルチプレクサ回路で容易に構成できる。

【0030】図示しない光学レンズが受光面に装着された撮像素子1からは、光学像が光電変換されたことによるアナログの画像情報信号AISが出力される。カメラ信号処理回路17は相関ダブルサンプリング回路や自動利得調整回路、マトリクス回路、ガンマ処理回路等のテレビジョンカメラで公知の回路からなり、また、回路構成の信号路の途中にA/D（アナログ／デジタル）コンバータが配されて、デジタル化されたベースバンドのデジタル画像情報信号DISを出力する。

【0031】このデジタル画像情報信号DISはスイッチ18を介してエンコーダ19に供給され、ベースバンドのデジタル画像情報信号DISから副搬送波に変調されたクロマ信号が生成され、ベースバンドの輝度信号及びクロックパルスCK1の一部としてタイミング発生回路2から供給される同期信号とタイミングが合わされ、これらが合成されて複合ビデオ信号として、あるいは独立したコンポーネント信号として、出力端子20から出力される。

【0032】なお、エンコーダ19はD/A（デジタル／アナログ）コンバータを有し、出力端子20にアナログ化された画像情報信号を出力する。ここで、出力端子20に公知のテレビジョンモニタ装置を接続することにより、そこに撮像素子1で撮像されている連続（動画）画像がテレビジョン映像として表示できる。

【0033】以上の動作は公知のテレビジョンカメラ装置の動作と同様のものであり、例えば、市販されている日立製作所製VM-H39型VTR一体形カメラのテレビジョンカメラ回路を用いて実現できる。

【0034】次に、この実施例の電子カメラ機能の動作について説明する。カメラ信号処理回路17から出力されるベースバンドのデジタル画像情報信号DISは、スイッチ16を介して半導体メモリ12に供給される。また、このとき、半導体メモリ12には、タイミング発生回路2でカメラ信号処理用クロックCK3等と同期して発生されるクロックCLやアドレス信号Adが夫々、スイッチ10を介し、書き込みクロックWCや書き込みアドレス信号WAとして供給される。

【0035】図3は半導体メモリ12の動作を示すタイミング図であって、同図（a）は撮像素子1とカメラ信号処理回路17とからなるテレビジョンカメラ回路の動作タイミングを、同図（b）は半導体メモリ12の記憶タイミングを、同図（c）は半導体メモリ12の動作モードを夫々示している。また、図3（b）のP1、P2、P3、……はこの画像情報信号DISでの順次の画像（テレビジョン信号のフィールド画あるいはフレーム画）を表わしている。半導体メモリ12に書き込まれる画像も同じ符号で表わしている。

【0036】図1及び図3において、時刻T1で電源スイッチ4が閉路されると、テレビジョンカメラ回路が前記した動作を開始し、画像情報信号DISが生成される。半導体メモリ12、13は、一般に、フィールド画1枚分もしくはフレーム画1枚分のデータを記録できるメモリ容量を持っている。

【0037】なお、一般に、半導体メモリ12への画像データの書込みは、時間順次で所定のデータ量（例えば、8ビット）ずつ、以前に書き込まれていた画像データを新しいデータに書き替えるようにして実行される。ここで、電子カメラ等で自然画を記録する場合、画像1枚当たり少なくともキロビット単位以上のデータ量を要するので、1枚の画像データの書込みを開始した後であっても、この1枚の画像データの書込みが完了するまでは、その前に書き込まれた画像データが半導体メモリ内に残存することになる。即ち、例えば図3（b）において、P2を付した時間領域では、半導体メモリ12には画像P2のデータだけが記憶されているのではなく、その前に書き込まれた画像P1のデータと、今回書き込まれる画像P2のデータとが混在して記憶されることになる。

【0038】また、図3において、「P4保持」のような「保持」という用語を付して表わした部分は、1枚の画像データの書込みが完了した後、新たな画像データの書込み（即ち、画像データの書替え）を行わず、そのまま画像データを保存していることを示している。

【0039】時刻T1以降、半導体メモリ12では、カメラ信号処理回路17で生成された画像P1～P4が順次書き込まれ、その度に画像データが更新される。そして、記録トリガースイッチ5が使用者によって閉路されたとき（時刻T2）、このとき、書込み中の画像P4のデータの書込みが完了すると、半導体メモリ12への次のデータ書込みが禁止され、この画像P4のデータが保持（フリーズ）されるように半導体メモリ12は制御される。この制御は、タイミング制御回路2が画像情報信号AISの垂直同期信号のタイミングでクロックCLの発生を停止することにより、実行される。続いて、タイミング制御回路2は動作制御信号MCを発生する。この動作制御信号MCは、後述するように、状態検知回路23の出力信号SDに応じて開閉制御されるANDゲート6を介してタイミング発生回路7に供給され、これを動作開始させる。

【0040】タイミング発生回路7は、発振器8から供給される基準信号を適宜分周等の処理し、半導体メモリ12の駆動用クロックCL1、アドレス信号Ad1や、画像データ圧縮処理回路21と画像データ伸長処理回路22の動作クロックCK4、CK5、圧縮処理された画像データCIDを記憶する半導体メモリ13の駆動用クロックCL2、アドレス信号Ad2、読出し動作と書込み動作を切替え制御するための読出し／書込み切替信号

(R／-W2)を発生する回路であって、公知の論理回路で構成できる。なお、読出し／書込み切替信号(R／-W2)は、例えば“H”(ハイレベル)のとき「読出し」を指示し、“L”(ローレベル)のとき「書込み」を指示するものとする。

【0041】タイミング発生回路7は、動作制御信号MCを受けると、画像データの圧縮処理及び圧縮された画像データCIDの半導体メモリ13への書込み動作を開始させる。

【0042】即ち、タイミング発生回路7から出力されるクロックCL1、アドレス信号Ad1は、スイッチ10を介し、読出しクロックRC、読出しアドレス信号RAとして半導体メモリ12に供給される。これにより、半導体メモリ12からは記憶保持されている画像P4のデータが順次読み出され、圧縮処理回路21で圧縮処理されて圧縮画像データCIDが得られる。半導体メモリ12としてFIFO型半導体メモリを用いることにより、図2で説明したように、図3（b）の画像P4のデータの書込み期間の途中からでも、この画像P4のデータの読出しを開始させることができる。また、書込みクロックWCと読出しクロックRCとが非同期であってもよい。

【0043】圧縮処理回路21から出力される圧縮画像データCIDは半導体メモリ13のデータ入出力端子I／Oに供給され、また、タイミング発生回路7から出力されるクロックCL2、アドレス信号Ad2及び「書込み」を指示する読出し／書込み切替信号(R／-W2)が、スイッチ11を介して、半導体メモリ13にクロックCL、アドレス信号Ad及び読出し／書込み切替信号(R／-W)として供給され、図3（c）に示すように、P4を付して示す期間に圧縮された画像P4のデータがこの半導体メモリ13に書き込まれる。

【0044】ここで、半導体メモリ13は読出し／書込み切替信号(R／-W)によって画像データの書込みモードと読出しモードとに切り替えられるメモリであって、読出し／書込み切替信号(R／-W)が“H”のとき書込みモードとなる。このとき、データ入出力端子I／Oはデータ入力用になり、クロックCL及びアドレス信号Adは夫々書込みクロック、書込みアドレス信号として使用される。また、読出し／書込み切替信号(R／-W)が“L”のときには、読出しモードとなる。このとき、データ入出力端子I／Oはデータ出力用となり、クロックCL及びアドレス信号Adは読出しクロック、読出しアドレス信号として使用される。このように書込み、読出しが切り替えられて使用される半導体メモリ回路も公知である。

【0045】ところで、この実施例において、装置を小型にする場合、データ圧縮回路21やデータ伸長回路22にはLSI化された小型の回路が採用されるが、回路素子の処理能力の点から、前記したカメラ動作で1枚の



画像データが生成される時間よりも、1枚の圧縮画像データを生成する方が長い処理時間を必要とする。このため、半導体メモリ12をバッファメモリとして用い、カメラ動作の高速での画像取り込みを可能とする。また、この際、画像P4のデータの圧縮処理と半導体メモリ13への書き込みが終了するまでの期間、半導体メモリ12で画像P4のデータを保持することにより、画像内容の変容を防止するようにしている。この動作をおこなうため、タイミング発生回路2が上記の動作制御信号MCを出力してからタイミング発生回路7から動作終了信号MEが供給されるまでの期間、記録トリガスイッチ5の開路情報の取り込みを行わないようにする。

【0046】タイミング発生回路7は、図3(c)において、圧縮された画像P4のデータの書き込みが終了した時点で書き込みクロックCL2の発生を停止して、これ以降半導体メモリ13をこの画像P4のデータの保持モードとし、また、動作終了信号MEをタイミング発生回路2に送る。タイミング発生回路2は、動作終了信号MEを受けると、動作制御信号MCの発生を停止するとともに、再び半導体メモリ12の書き込み動作を開始させ、画像P5、P6、P7のデータを半導体メモリ12に順次書き込んで記録トリガスイッチ5の次の閉路操作に備える。

【0047】なお、半導体メモリ13としては、複数枚分の画像のデータ記憶容量を有するものを用いることが考えられる。このとき、図3(c)のP4、P7等で示したデータ書き込み動作期間では、半導体メモリ13がもつ画像データの記憶領域のうち、画像1枚分に割り当てられた一部領域だけが新たな画像データに書き替えられる。また、図3(c)の「保持」を付して示す期間では、この直前に書き込まれた画像データだけでなく、これ以前に書き込まれた画像データも保持される。

【0048】さらに、半導体メモリ13が、例えばバッテリーバックアップされたスタティック型ランダムアクセスメモリや、いわゆるフラッシュ型の不揮発メモリであるような場合、図3(c)での画像P4のデータの書き込み時点以前には、時刻T1での電源スイッチ4の開路によって開始された今回の撮影よりも前の撮影時に記録された画像Pxのデータが保持されている。

【0049】図3には、さらに、画像P7のデータの半導体メモリ12への書き込み期間に再び記録トリガスイッチ5が開路された(時刻T3)場合のメモリ動作も示している。この場合の動作も、画像P4のデータの記録動作と同じであるので、その説明を省略する。

【0050】以上、図3を用いてこの実施例の電子カメラ機能(静止画記録機能)動作を説明したが、これは上記公知例1、2に示したの装置の動作に類似している。

【0051】なお、半導体メモリ13がフラッシュ型メモリの場合には、素子の構成上いわゆる重ね書きによる画像データの書き替えができない。このため、図3

(c)における画像P4のタイミングで、この画像P4のデータを書き込む前段階に、画像P4のデータの書き込み領域として割当てられたメモリ領域に残っている画像データを一旦消去する動作が実行される。この消去動作は、具体的には、半導体メモリにある所定の論理レベルのデータを書き込む動作であり、例えば図1におけるデータ圧縮回路21の出力側に、タイミング発生回路7から出力される図示しない制御信号によって所定レベルのデータを出力するように制御される論理ゲートを配し、画像P4のデータの書き込みに先立ってこの所定レベルのデータを書き込むようにして実施できる。

【0052】また、フラッシュ型メモリ素子としては、数種のコントロール信号を用いてデータ入出力端子I/Oに供給したコード信号をメモリ素子に取り込み、書き込み、消去等の動作モードを切り替えるようなものも公知である。さらに、消去あるいは書き込みに際して、メモリ素子内部の動作が完了するまでの期間、所定論理レベルのデータを発生して次の動作への進展を待機するように警告する、いわゆるレディー/ビジー信号発生機能を有するものも公知である。このようなメモリ素子を用いる場合でも、必要に応じてスイッチ11の切替え信号を複数設け、また、データ入出力端子I/O端子に適宜コントロールコードを画像データと切り替えて供給するように、半導体メモリを用いたディジタル回路技術分野では公知の技術で構成できる。また、図1のスイッチ11、15と半導体メモリ13との間に、使用するメモリ素子の機能にあわせたインタフェース回路を設けることもできる。

【0053】このように、画像情報信号の記録に際し、半導体メモリ13がフラッシュ型メモリであるときには、消去動作を連動して実行するように構成することにより、使用者はフラッシュ型メモリに固有の消去動作に煩わされることなく、従来の重ね書きによる自動的な書き換えが可能なメモリ装置と同様な感覚で操作することができる。

【0054】この実施例の特徴とするところは、コネクタ14と、スイッチ11、15と、外部機器との信号授受動作の準備状態を検知する状態検知回路23と、タイミング発生回路7の動作開始の阻止するためのANDゲート6を設け、外部機器と半導体メモリ12、13との間でのディジタル画像情報信号の授受を行なうことができるようにしてことである。

【0055】以下、この点について、図4及び図5を用いて説明する。但し、図4は図1のコネクタ14に外部機器を接続した状態での状態検知回路23の一具体例を示すブロック図であって、23aはT-FF(T型フリップフロップ)、23bはANDゲート、23cはオア回路、25は外部機器、25aはコネクタであり、図1に対応する部分には同一符号を付けている。

【0056】また、図5は外部機器との信号授受機能を

説明するためのタイミングチャートであり、図4に対応する信号には同一符号を付けている。なお、図5

(a), (b), (c)は夫々図3(a), (b), (c)と同じである。

【0057】まず、図1及び図5において、電源スイッチ4が投入される時刻T1では、先に説明したように、半導体メモリ13には既に記録済みの画像データが保持されており、タイミング発生回路7は動作を停止しているので、動作終了信号MEは“H”となって動作終了状態を指示している。時刻T2で記録トリガースイッチ5が閉路され、先述した一連の動作により、図5(c)に示す半導体メモリ13への画像P4のデータの書き込みが開始されると、動作終了信号MEはレベルが“L”となって、タイミング発生回路7が動作中であることを指示する。

【0058】次に、図4及び図5において、状態検知回路23のANDゲート23bには、一方の入力として、動作終了信号MEが供給される。また、このANDゲート23bの他方の入力、コネクタ14に外部機器25のコネクタ25aが嵌合して外部機器が接続されたとき、外部機器25からコネクタ25a、14を介して供給される信号授受動作の準備状況を示す信号（以下、準備状況指示信号という）CSSaである。このANDゲート23bの出力は、トリガークロックとして、T-FF23aのクロック端子Tに供給される。

【0059】また、このT-FF23aのリセット端子Rには、電源スイッチ4（図1）による動作電源投入時の初期リセット信号INSが、ORゲート23cを介して供給される。この初期リセット信号INSは、電源投入後、所定の微小時間だけ発生し、各論理回路を所定の初期状態にリセットするために用いられるが、このようなリセット手法は、論理回路技術分野では周知の方法であり、電源供給開始時にリセット信号を発生するための専用ICも市販されている。そこで、状態検知回路23の構成要素としてかかるリセット信号発生ICを備えてもよいが、タイミング発生回路2に設けられるリセット信号発生回路の出力信号を初期リセット信号INSとして用いてもよい。

【0060】T-FF23aのQ出力を状態検知信号SDとして出力する。この状態検知信号SDは、初期リセット信号INSにより、図5に示すように、時刻T1に不定状態（“H”か“L”かの未確定の状態）から“L”状態にリセットされる。状態検知信号SDが“L”のときには、図1におけるスイッチ11、15は図1に示される状態にある。また、この“L”の状態検知信号SDは図1のインバータ9で反転されて“H”となり、ANDゲート6を動作制御信号MCの通過状態にする。これにより、図3での説明したように、時刻T2での記録トリガースイッチ5の閉路に連動して、半導体メモリ13への画像P4のデータの書き込みが行なわれ

る。

【0061】ここで、時刻T4に外部機器25から状態検知回路23に、この外部機器25で信号授受の準備が完了したことを指示する“H”の準備状況指示信号CSSaが供給されたとする。このとき、画像P4のデータの半導体メモリ13への書き込み完了によるタイミング発生回路7の動作終了にともなう、動作終了信号MEが“H”に変わると、このタイミングでT-FF23aがトリガースされて状態検知信号SDは“H”に反転する。

【0062】状態検知信号SDが“H”になると、図1のスイッチ11、15は図1の図示とは反対方向に切り替えられる。単方向のデジタル信号用スイッチであるスイッチ11は例えばマルチプレクサ回路でもって、また、双方向のスイッチであるスイッチ15は例えばいわゆるアナログスイッチ回路でもって夫々容易に構成可能であることは、この種回路技術分野では周知である。

【0063】状態検知信号SDはコネクタ14、25aを介して外部機器25に供給され、外部機器25に撮像記録装置が信号授受動作可能な状態にあることを、そのレベルが“H”であることによって伝える。

【0064】そこで、外部機器25は、この状態検知信号SDを受けると、図1において、スイッチ11を介し、クロックCL3、アドレス信号Ad3及び読出しを指示する読出し／書き込み切替信号（R／W3）を半導体メモリ13に供給する。これにより、半導体メモリ13は、このアドレス信号Ad3で指定される記録領域から、例えば、特定の画像一枚分、あるいは全ての画像データを読み出し、データ入出力端子I／O端子からスイッチ15、コネクタ14を介して外部機器25（図4）に供給する。このとき、半導体メモリ13は、専ら外部機器25によって動作制御される。

【0065】図4及び図5において、外部機器25は、半導体メモリ13から所望の画像データを読み出すと、クロックCL3の出力を停止し、準備状況指示信号CSSaを“L”に戻し、これと同時に、授受動作終了信号CSSbを状態検知回路23に供給する。この授受動作終了信号CSSbはORゲート23cを介してT-FF23aに供給され、これをリセットして状態検知信号SDを“L”に戻す。

【0066】外部機器25がパーソナルコンピュータであるような場合、信号授受用のクロックCL3（図1）として比較的低周波数の信号が使われることが多いが、その周波数は外部機器25単独の制約条件のみにより決定できるようにするのが便利である。これは、一般に、外部機器25として低コストのものをを使用する場合、そのデータ処理能力は低いから、低周波のクロックによる信号授受が好適であるし、また、処理能力が高い外部機器であれば、高速クロックで短時間に授受動作を完了することが望まれるからである。このため、外部機器25との信号授受に要する時間は、授受する信号データ量が



15

同じであっても、使用する外部機器の機種によって異なることが考えられる。

【0067】この実施例においては、タイミング発生回路7の動作開始を指示する動作制御信号MCの伝送経路に挿入されたANDゲート6の制御用としても状態検知信号SDを供給し、状態検知信号SDが“H”にあるとき、このANDゲート6によって動作制御信号MCが阻止され、記録トリガスイッチ5の開成によって実行される半導体メモリ12、13への画像データの書き込み運動動作のうち、少なくとも半導体メモリ13への新たな画像データの書き込みを禁止させ、外部機器25との信号授受に要する不確定の時間の間、半導体メモリ13における画像データが改変されて画像内容が変容してしまうことを防止する。

【0068】図5は上記構成を持つ実施例の動作を説明するものであるが、なお、例えば、状態検知信号SDが“H”のとき、記録トリガスイッチ5の開路を無視するように、タイミング発生回路2を論理回路技術分野の公知技術で構成でき、上記した半導体メモリ13での画像データの改変を防止できる。但し、この場合には、当然記録トリガスイッチ5の操作による全ての動作が禁止される。

【0069】図5(c)において、半導体メモリ13での画像P4の書き込み動作が完了し、動作終了信号MEが“H”に反転すると、図3で説明したように、半導体メモリ12への画像P5、P6、P7の書き込みが再開する(図5(b))。そして、時刻T3で記録トリガスイッチ5が開路されると、画像P7は半導体メモリ12には保持されるが、状態検知信号SDが“H”であるから、ANDゲート6により、動作制御信号MCが阻止されてタイミング発生回路7に供給されず、タイミング発生回路7は動作を開始しない。このため、半導体メモリ13は、画像P7のデータの書き込みは禁止され、前の画像データを保持したままとなる。

【0070】このように、スイッチ11、15の切替動作のみではなく、タイミング発生回路7の動作も禁止されるので、回路の無駄な動作が省け、消費電力も抑圧できることになる。

【0071】外部機器25への画像P4のデータの読出しが終了し、授受動作終了信号CSSbによって状態検知回路23から出力される状態検知信号SDが“L”になると、スイッチ11、15は再び図1に図示する方向に切り替わる。また、ANDゲート6も通過可能状態となって動作制御信号MCがタイミング発生回路7に供給される。これにより、タイミング発生回路7が動作を開始して動作終了信号MEは“L”となり、圧縮された画像P7のデータが図5(c)に示すタイミングで半導体メモリ13に書き込まれる。この書き込みが終了すると、動作終了信号MEは再び“H”になり、準備状況指示信号CSSaが再び“H”となって、外部機器25での信

16

号授受の準備ができたことが指示される。これにより、状態検知信号SDが“H”に反転して、撮像記録装置が再び信号授受可能な状態になったことを外部機器25に伝える。

【0072】以上のように、この実施例の動作によると、半導体メモリ13から外部機器25へのデータ読出し中には、半導体メモリ13へのデータ書き込みが禁止され、あるいは、半導体メモリ13へのデータ書き込みの途中での外部機器25へのデータ読出しが禁止されるので、外部機器25への半導体メモリ13のデータ読出し動作実行中に、半導体メモリ13での画像データが書き換えられる恐れはない。従って、撮像された1枚の画像データではなく、複数枚の画像のデータが混在して出力されることが防止できるので、この出力データを用いて再現された画像が撮像された1枚の画像とは異なるものに変容してしまうことを回避できる。

【0073】また、動作制御信号MCの出力を待機させるように構成した場合には、外部機器25へのデータ読出しの実行中でも、記録トリガスイッチ5の開路操作により、画像データの半導体メモリ12への取り込み、即ち撮影が実行できるし、ここで取り込んだ画像情報を、外部機器25へのデータ読出しが終了し次第、使用者による新たな操作を必要とせず、自動的に半導体メモリ13に転送して記録することができる。さらに、半導体メモリ13へのデータ書き込みが終了すると、これに連動して状態検知信号SDが自動的に“H”に反転し、この実施例を外部機器25との信号授受可能状態に切り替えるとともに、この状態にあることを接続された外部機器25に知らせることができるので、半導体メモリ12に記録された画像のデータを、待ち時間を短くして、連続して外部機器25で読み出すことも可能になる。

【0074】さらに、準備状況指示信号CSSaは図5に示すようなレベル変化タイミングに限定されるものではなく、例えば一旦“H”に反転した後、このレベルを維持するようにしてもよく、このときには、図5(c)での新たな画像情報の書き込みが完了して動作終了信号MEが“L”から“H”に反転する毎に、自動的に外部機器25との信号授受が可能な状態になる。

【0075】また、準備状況指示信号CSSaを、図5に示すように、外部機器25による信号授受の終了毎に“H”から“L”に戻るように規定した場合には、授受動作終了信号CSSbを必ずしも外部機器25から供給するようにする必要はなく、例えば準備状況指示信号CSSaの“H”から“L”に反転するエッジタイミングに同期して、所定のパルス幅のパルス信号を発生するような、例えばモノステーブルマルチバイブレータ回路等の公知の論理回路構成を状態検知回路23に内蔵し、これに準備状況指示信号CSSaを供給して授受動作終了信号CSSbに相当するパルス信号を得るようにすることもできる。

【0076】なお、図5において、準備状況指示信号CSSaによる画像データ保持タイミング、即ち、準備状況指示信号CSSaが動作終了信号MEの“H”期間内に“H”に反転した場合、状態検知回路23は直ちに

“H”の状態検知信号SDを出力し、この実施例の撮像記録装置は外部機器25との信号授受状態になるが、特に、動作終了信号MEが記録トリガースイッチ5の閉路に連動して“H”から“L”に切り替わる直前で準備状況指示信号CSSaが“L”から“H”に反転したときには、図4におけるANDゲート23bから微小パルス幅のノイズ信号が発生し、これにより、T-FF23aがトリガーされて状態検知信号SDが“H”に反転してしまう恐れがある。また、時刻T1以前あるいは時刻T1近傍の時点で準備状況指示信号CSSaが“H”に反転したときには、初期リセット信号INSによるT-FF23aのリセット制御との競合により、T-FF23aの動作が不確定になる恐れがある。

【0077】図6はこのような場合にも好適な図1における状態検知回路23の他の実施例を示す回路図であって、23dはインバータ、26~29は抵抗、30はトランジスタ、31、32はコンデンサ、33は電源であり、図1、図4に対応する部分には同一符号を付けている。

【0078】また、図7は図6における各部の信号を示す波形図であって、図6に対応する信号には同一符号をつけている。

【0079】図6において、状態検知回路23に嵌合検知スイッチ24が設けられており、コネクタ14に外部機器（図示せず）のコネクタ25aが嵌合されると（時刻T1）、この嵌合検知スイッチ24が押圧された閉路し、電源33からの“H”の電圧信号SVがANDゲート23bに供給される。この“H”の電圧信号SVが図4に示した具体例での準備状況指示信号CSSaの代りをなしている。なお、抵抗28は、嵌合検知スイッチ24が開成されているとき、ANDゲート23bの一方の入力をアース（“L”）レベルに保つためのものである。

【0080】これにより、図7（a）に示すように、コネクタ25a、14の嵌合状態で、図1における電源スイッチ4の閉路によって装置電源が投入されると、図5で説明したように、準備状況指示信号CSSaが時刻T1で“L”から“H”に反転するのと同じものとなる。

【0081】この具体例では、また、ANDゲート23bの他方の入力として、抵抗26を開始、動作終了信号MEが供給されるが、ANDゲート23bのこの入力端子とアースとの間にコンデンサ31とトランジスタ30とが並列に接続されている。そして、このトランジスタ30のベースに、抵抗27を介して初期リセット信号INSが供給される。

【0082】そこで、図7（a）に示すように、電源投

入時に“H”の初期リセット信号INSが発生すると、その信号期間トランジスタ30が導通状態になるので、ANDゲート23bの動作終了信号MEが供給される側の入力レベルADIが“L”に保たれる。そして、所定時間の経過後、初期リセット信号INSが“L”になると、トランジスタ30が非導通状態になり、このとき、動作終了信号MEが“H”であれば、抵抗26とコンデンサ31とによる時定数で決まる時間遅延を経て、入力レベルADIは“H”になる。この時間遅延の間に、T-FF23aは初期リセット信号INSによってリセットされているので、入力レベルADIが“H”になったことによって得られるANDゲート23bの“1レベル”の出力ADOにより、T-FF23aは確実にトリガーされて、状態検知信号SDを発生させることができる。

【0083】また、図7（b）は、時刻T2での記録トリガースイッチ5（図1）の閉路操作に連動してタイミング発生回路2の動作から時刻T2'に出力される

“H”の動作制御信号MCと、嵌合検知スイッチ24が閉路して電源33からANDゲート23bに“H”の電圧信号SVが供給されるタイミングとが競合する場合の動作に対するものである。

【0084】時刻T2'でタイミング発生回路2（図1）から発生した“H”の動作制御信号MCにより、タイミング発生回路7（図1）が動作を開始すると、動作終了信号MEは“H”から“L”に反転するが、回路素子の信号伝播速度、あるいは発振8から供給されるタイミング発生回路7の動作クロックと動作制御信号MCとの位相関係等に依存した動作遅延により、一般に、時刻T2'から動作終了信号MEが“L”に反転する時点までに時間差が生じる。この時間差の期間に嵌合検知スイッチ24からの電圧信号SVが“L”から“H”に反転すると、ANDゲート23bから、短時間だけ、パルス状の“H”の出力信号ADOが発生する。この出力信号ADOによってT-FF23aがトリガーされると、状態検知信号SDは“H”に反転し、このままでは、タイミング発生回路7が動作しているにも拘らず、スイッチ11、15（図1）が外部機器のアクセス側に接続されてしまうので、時刻T2のタイミングで撮影した画像データが半導体メモリ13（図1）に記憶できない。

【0085】そこで、図6に示す具体例では、このように撮影が無効となる事態を回避するため、次のような構成を備えている。即ち、オア回路23cには、図4に示した具体例のように授受動作終了信号CSSbや初期リセット信号INSのほかに、動作終了信号MEがインバータ23dでレベル反転されて供給されるようにして、動作終了信号MEが“L”に反転して時点で、これにより、T-FF23aがリセットされるようにし、一旦“H”に反転した状態検知信号SDが再び“L”に戻るようにする。これにより、タイミング発生回路7の動作

で有効に画像情報の半導体メモリ 13 への書き込みが実施できる。

【0086】また、このとき、図 7 (b) に示すような“H”のパルス状波形の状態検知信号 SD が発生する条件は、嵌合検知スイッチ 24 からの電圧信号 SV が

“H”に反転時点から状態検知信号 SD により AND ゲート 6 (図 1) が閉鎖されるまでの回路動作遅延時間  $t_1$  と、動作制御信号 MC が“H”に反転する時点から“L”の動作終了信号 ME によって TFF 23a がリセットされるまでの遅延時間  $t_2$  との和で規定される時刻  $T_2'$  前後の時間領域内に、嵌合検知スイッチ 24 からの電圧信号 SV が“H”に反転することである。このとき、時間  $t_1$ 、 $t_2$  は、使用する回路素子の速度性能、あるいは採用される回路構成等から予め予測することができ、また、状態検知信号 SD の図 7 (b) に示す“H”の期間は期間 ( $t_1 + t_2$ ) よりも短い。

【0087】そこで、状態検知信号 SD のコネクタ 14 への出力部に、所定パルス幅以下の信号の出力を阻止する回路構成を備えることにより、図 7 (b) に示す

“H”のパルス状の状態検知信号 SD が外部機器に供給されることを防止することができる。図 6 においては、かかる阻止手段として、抵抗 29 とコンデンサ 32 とからなる積分回路を用いている。勿論、同様な機能を実現する他の構成も論理回路技術分野では公知である。なお、かかるパルス状の状態検知信号 SD をそのまま外部機器に供給しても、外部機器側で予め想定される微小パルス幅の状態検知信号 SD には応動しないように構成することもできるが、上記のように状態検知回路 23 側でかかるパルス状の状態検知信号 SD を阻止するように構成した方が、外部機器の動作に対する制約条件が少なく、外部機器にての動作プログラム設定時等における煩わしさを低減できる。

【0088】状態検知回路 23 のさらに他の具体例として、図 6 において、嵌合検知スイッチ 24 の抵抗 28 側にゲートを設け、これを図 7 (b) に示すゲート信号 GC で制御して電圧信号を阻止するようにしてもよい。このゲート信号 GC は、記録トリガスイッチ 5 の閉路時の時刻  $T_2$ 、即ち、動作制御信号 MC よりも所定時間前に“H”となり、動作終了信号 ME が“L”に反転して後所定時間経過後に“L”に戻るように、タイミング発生回路 2 で生成されるものであって、このゲート信号 GC の“H”期間では、嵌合検知スイッチ 24 からの電圧信号 SV が阻止されて AND ゲート 23b に供給されず、図 7 (b) の時間領域 ( $t_1 + t_2$ ) で嵌合検知スイッチ 24 からの電圧信号 SV が“H”に反転するのを禁止される。この場合、図 7 (b) での時刻  $T_2'$  以後に示された AND ゲート 23b の出力信号 ADO 及び状態検知信号 SD の“H”状態は発生しない。従って、オア回路 23c へ動作終了信号 ME の反転信号が供給されることは不要となる。

【0089】なお、図 4 及び図 6 に示した状態検知回路 23 や図 1 での AND ゲート 6 及びインバータ 9 をハードウェアのロジック回路で構成したものとしたが、例えば、マイクロコンピュータを用い、これが図 6 における初期リセット信号 INS、動作終了信号、電圧信号 SV、ゲート信号 GC 及び授受動作終了信号 CSSb によって状態を検知し、この結果によって動作制御信号 MC や状態検知信号 SD を発生するようにしてもよい。

【0090】以上は図 1 に示した実施例の撮像動作と外部機器への画像情報出力動作についての説明であったが、次に、この実施例の画像再生動作を図 8 に示す動作タイムチャートを用いて説明する。

【0091】この動作では、図 1 において、電源スイッチ 4 が図示とは反対方向の破線の状態に閉路されることにより、再生モードに切り替えられ、また、この場合、記録トリガスイッチ 5 は再生画像の順送り選択スイッチとしての機能を有する構成されている。このような機能切替えは、マイクロコンピュータあるいは論理回路技術を用いて容易に実現できる。

【0092】図 1 及び図 8 において、時刻  $T_1$  に使用者が電源スイッチ 4 を破線で示す再生モード側に閉路すると、動作電源が投入開始されるとともに、図 8 (a) に示すように、再生動作が開始される。このとき、初期動作として、図 8 (b) に示すように、画像データ保持状態の半導体メモリ 13 から 1 枚目の画像 P1 のデータが読み出され、図 8 (c) に示すように、半導体メモリ 12 に書き込まれる。かかる初期動作は以下のようにして実行される。

【0093】タイミング発生回路 2 は、電源スイッチ 4 の閉路によって再生動作を開始するが、このとき、次の初期動作を行なうように、タイミング発生回路 2 中のマイクロコンピュータをプログラムしておく。即ち、動作制御信号 MC によってタイミング発生回路 7 を動作させ、クロック CL2、アドレス信号 Ad2 及び読出し動作を指示する“L”の読出し/書き込み切替信号 (R/W2) を発生させる。また、圧縮された画像データを非圧縮の画像データに復元する画像データ伸長回路 22 の動作クロック CK5 と、半導体メモリ 12 用のクロック CL1、アドレス信号 Ad1 を発生させる。さらに、スイッチ制御信号 SW1、SW2、SW3 により、各スイッチ 10、16、18 を図示とは反対方向に閉じさせる。なお、タイミング発生回路 7 が初期動作を開始することにより、動作終了信号 ME は時刻  $T_1$  で“L”を保っている。

【0094】ここで、図 4、図 5 で示した準備状況指示信号 CSSa により、外部機器から半導体メモリ 13 へのアクセス準備状態であることが、図 8 に示されるように、指示されていたとしても、図 4 あるいは図 6 で示した AND ゲート 23b の作用により、状態検知信号 SD が“H”に反転することがない。従って、スイッチ 1

21

1, 15は図1に示す状態を保ち、半導体メモリ13のデータ入出力端子1/Oから画像データが読み出され、画像データ伸長回路22で処理された後、スイッチ16を介して半導体メモリ12に供給される。このとき、タイミング発生回路7からのクロックCL1、アドレス信号Ad1が夫々書込みクロックWC、書込みアドレス信号WAとして半導体メモリ12に供給される。

【0095】以上が再生モードの初期動作であるが、次に、半導体メモリ12からの画像データの読出し動作について説明する。この場合には、タイミング発生回路2から出力されるクロックCL、アドレス信号Adが夫々読出しクロックRC、読出しアドレス信号RAとして半導体メモリ12に供給される。このデータ読出しは、テレビジョン信号の走査速度でフィールド画あるいはフレーム画分のデータ領域を走査するようにして行われる。

【0096】半導体メモリ12から読出された画像データは、スイッチ18を介してエンコーダ回路19に供給され、アナログの映像信号に変換されて出力端子20から出力される。

【0097】さて、一般に、電源の供給停止とともに動作電源の供給が停止され、電源バックアップされていない半導体メモリ12においては、時刻T1の電源供給開始時点にレベルが不定の偽データが記憶された状態になる。従って、図8において、画像P1のデータの書込み動作時では、この偽データが順次この画像P1のデータに書き換えられていくことになる。

【0098】ここで、画像データ伸長回路22による1枚の画像データの復元処理も、前述した画像データ圧縮処理動作と同様な処理能力上の理由により、動作速度による制約がある。このため、一般に、タイミング発生回路2からのクロックCL、アドレス信号Adによる半導体メモリ12の1枚分の画像データ読出し時間に比べ、画像データ伸長回路22による1枚分の画像データ復元に要する時間の方が長期間となる。そこで、時刻T1でタイミング発生回路2からのクロックCL、アドレス信号Adで直ちに半導体メモリ12のデータ読出しを開始し、読み出された画像データからエンコーダ19で映像信号を生成すると、出力端子20に接続したテレビジョンモニタ装置等のディスプレイ装置上には、まず、上記の偽データによる、一般には、モザイク模様になることが多い偽の画像が再生され、続いて画像データ伸長回路22によって伸長された画像P1のデータによる画像に、例えばディスプレイされた画像の左上隅から徐々に変わっていくような画像表示がなされる。

【0099】なお、ここで、タイミング発生回路7からのアドレス信号Ad1の状況から復元データに書き替えられた半導体メモリ12の記録領域を知り、これ以外の領域からの画像データが半導体メモリ12から出力されるタイミングで、例えばエンコーダ19の入力レベルを所定値に保持する等により、書替え時の偽データによる

22

映像信号信号の出力を阻止し、例えば画面における書替えが終わっていない部分を灰色に表示できるような構成にすることも可能である。また、電源の供給を停止することなく、引き続いて行われる再生画像の更新時には、先に選択されていた画像が徐々に新たに選択された画像に変わっていくようにディスプレイされる。

【0100】以上の説明から明かなように、出力端子20から出力される画像情報には複数枚の画像が混在する期間があるが、出力端子20に接続されるテレビジョンモニタ装置は、特定の1枚の画像を取り出すために用いられる装置ではないので、混在した画像が過渡的に出力されても問題はないし、かえって画像が更新されていく経緯もモニタディスプレイ上に表示できる方が、装置の動作状況の把握もできるので、好適である場合が多い。

【0101】半導体メモリ12への画像P1のデータの書込みが終了すると、タイミング発生回路7はクロックCL1、クロックCL2の発生を停止し、半導体メモリ12は画像P1のデータの保持モードになり、半導体メモリ13の読出し動作が停止する。さらに、タイミング発生回路7は“H”の動作終了信号MEを出力する。

【0102】このとき、図8に示すように、準備状況指示信号CSSaが“H”であって、外部機器による信号授受の準備状態を示している場合、状態検知回路23は“H”の状態検知信号SDを発生する。これにより、スイッチ11, 15は図1の図示とは反対の方向に切り替わり、コネクタ14に接続された外部機器による半導体メモリ13へのアクセスが可能な状態になる。

【0103】ここで、外部機器からクロックCL3、アドレス信号Ad3及びデータ書込みを指示する“L”の読出し/書込み切替信号(R/W3)が供給され、また、外部機器から画像Pextのデータがスイッチ15を介して半導体メモリ13に供給されることにより、図8(b)に示すPextを付したタイミングで1枚、あるいは複数枚の画像のデータを半導体メモリ13に書き込むことができる。さらに、図8(c)に示す画像P1の書込みが終了後、準備状況指示信号CSSaが、図8の場合とは異なり、“L”のままであるときには、半導体メモリ12, 13ともにデータ保持状態であり、この状態で時刻T2に記録トリガースイッチ5が閉路されて次の画像の選択が指示されると、直ちにタイミング発生回路2は動作制御信号MCを出力し、画像P2の半導体メモリ12への書込み動作を実行させる。

【0104】この実施例においては、前記した撮像動作時と同様に、再生動作時でも、状態検知信号SDが“H”にある期間、動作制御信号MCの出力を保留することができるので、図8において、時刻T2よりも前に状態検知信号SDが“H”となったときには、外部機器から信号授受動作の終了を示す授受動作終了信号CSSbが供給されて状態検知信号SDが“L”に戻るまでの

23

期間、半導体メモリ12はデータ保持状態に保たれ、状態検知信号SDが“L”に反転すると、自動的に画像P2の半導体メモリ12への書き込みを実行させることもできる。なお、事前のPextのタイミングに半導体メモリ13で画像P2が書き替えられたときには、書き換え後の画像が半導体メモリ12に書き込まれることになる。

【0105】また、外部機器の接続状態において、外部機器との信号授受を行わない場合には、準備状況指示信号CSSaを“L”に保てばよいことは当然であるが、例えば、図6に示した状態検知回路23のように、嵌合検知スイッチ24からの電圧信号SVを準備状況指示信号CSSaに代えて用いる場合には、“H”の状態検知信号SDがコネクタ14を介して伝送される毎に、外部機器から授受動作終了信号CSSbを送り返すようにすることにより、状態検知信号SDは直ちに“L”に戻って記録トリガースイッチ5の閉路による動作が開始できる状態になりこれにより、記録トリガースイッチ5の操作による再生画像の選択が滞りなく実施できる。

【0106】以上のようなこの実施例の画像再生動作によれば、半導体メモリ12に再生画像データを書き込むために半導体メモリ13から画像データを読み出している期間では、外部機器から半導体メモリ13へのデータ書き込みが禁止され、また、外部機器から半導体メモリ13へのデータ書き込みの実行中には、半導体メモリ13からデータ読出しが行なわれて半導体メモリ12に書き込まれることが禁止される。かかる動作により、半導体メモリ13から読み出される画像データに複数の画像のデータが混在する恐れがなく、従って、半導体メモリ12に書き込まれた画像データや、これから読み出されてテレビジョンモニタ等に映出される画像の内容が、半導体メモリ13に蓄えられていた1枚の画像とは異なるものに変容してしまうことがない。

【0107】また、記録トリガースイッチ5等の閉路による再生画像の更新動作を、外部機器との信号授受の期間待機させるようにし、記録トリガースイッチ5を、例えば機械的にあるいは電気的に連続して閉路するような手段を併用し、例えば状態検知信号SDが“H”から

“L”に反転するタイミング毎のような所定タイミング毎に、記録トリガースイッチ5の開閉状態を検知するように、タイミング発生回路2のマイクロコンピュータをプログラムすることにより、外部機器から書き込んだ画像を、直にかつ自動的に、再生するように、この実施例を動作させることができる。これと同等の機能は、また、信号授受動作終了信号CSSbを記録トリガースイッチ5の閉路信号に代えて用いるように構成しても、実現できる。このとき、半導体メモリ13が複数枚の画像を記録するものであるときには、外部機器からの画像入力は、1回の書き込み動作で1枚の画像とし、また、書き込んだ画像と読み出す画像を一致させるために、外部機器から供給されるアドレス信号を検知して、そのスター

24

トアドレスをタイミング発生回路7に配置されるアドレス信号Ad2生成用のカウンタにロードするような手段を併用する。

【0108】なお、図5または図8で状態検知信号SDが“H”のときには、図4、図5で説明したように撮像モードにあるか、図8で説明したように再生モードにあるかに拘らず、外部機器から供給する読出し/書き込み切替信号(R/W3)のレベル反転により、外部機器から半導体メモリ13へのデータ書き込み、あるいは半導体メモリ13から外部機器へのデータ読出しが実行できる。また、この実施例の動作モードと外部機器による半導体メモリ13の書き込みアクセスあるいは読出しアクセスとの、図5、図8で説明していない組合せ動作時においても、状態検知回路23から出力される状態検知信号SDによる図5、図8で説明した制御動作、即ち、この実施例の内部動作による半導体メモリ13へのデータ書き込みアクセス（撮像モード時）あるいは半導体メモリ13からのデータ読出しアクセス（再生モード時）の実行中では、外部機器による半導体メモリ13へのアクセスを禁止し、また、外部機器による半導体メモリ13へのアクセス実行中では、この実施例の内部動作による半導体メモリ13へのアクセスを禁止する制御動作により、半導体メモリ13の1枚の画像のデータに割り当てられた記憶領域に複数の画像データが記憶されることを防止できる。

【0109】以上説明したように、図1に示した実施例では、記録トリガースイッチ5の閉路に連動して開始される動作、即ち、撮像動作または再生動作により、半導体メモリ13がアクセスされているときには、外部機器からの半導体メモリ13のアクセスを一切禁止するものであった。

【0110】ところで、この内部動作による半導体メモリ13のアクセスは、上記実施例の説明から明らかなように、記録トリガースイッチ5の閉路1回につき半導体メモリ13内の1画面分の画像データのメモリ領域だけをアクセスすることで実行される。従って、半導体メモリ13が複数枚の画像データを記憶するものであるときには、上記したようなアクセスの禁止制御を上記した画像1枚分のデータのメモリ領域に限定しても、所期の効果が得られる。

【0111】図9はかかる制御動作を実現可能とした本発明による撮像記録装置の他の実施例の要部を示すブロック図であって、11A、11Bはスイッチ、13A、13Bは半導体メモリ、15A、15Bはスイッチ、23A、23B、34は状態検知回路、35は選択信号発生回路、36、37はANDゲート、38～42はオア回路、43～45はインバータであり、図1に対応する部分には同一符号をつけている。

【0112】図9においては、図1の左半分の部分、即ち、タイミング発生回路2、半導体メモリ12、撮像素

25

子1、カメラ信号処理回路17、エンコーダ19の各部分は同じであるので、省略している。また、図1でのスイッチ11、半導体メモリ13、スイッチ15、状態検知回路23が夫々2つずつ、即ち、スイッチ11A、11B、半導体メモリ13A、13B、スイッチ15A、15B、状態検知回路23A、23Bが設けられている。なお、図9には図示していないが、タイミング発生回路7は、図1に示したものと同様、クロックCL1、アドレス信号Ad1も発生する。

【0113】この実施例の特徴は、半導体メモリ13を記憶する画像の1枚1枚に対して独立に配置し、画像データのアクセス制御が画像データの1枚毎に独立して実行できるようにしたことである。この実施例では、記憶する画像の枚数を2枚としており、このために、上記のように、図1での半導体メモリ13、スイッチ11、15及び状態検知回路23夫々を二系統ずつ備えている。

【0114】ここで、夫々画像1枚分のデータを記憶する半導体メモリ13A、13Bは、夫々市販されている半導体メモリICの一個（あるいは複数個）で構成されているが、半導体メモリICは、一般に、チップイネーブル端子CEを備え、この端子に供給されるチップイネーブル信号の論理レベルにより、例えば“H”のときには、クロックCL、アドレス信号Ad、読出し／書込み切替信号(R/W)によって動作し、“L”のときには、上記による動作制御を一切受け付けず、かつ、データ入出力端子I/Oの入出力インピーダンスをハイインピーダンスとして、外部回路から切り離すような機能を持っている。この実施例では、かかる機能を用いることにより、半導体メモリ13A、13Bの選択が行なわれる。

【0115】このために、この実施例では、ANDゲート6を介してタイミング発生回路7に供給される動作制御信号MCが、カウンタあるいはシフトレジスタ等で構成される選択信号発生回路35にも供給される。この選択信号発生回路35は、半導体メモリ13A、13Bを選択するための選択信号S1、S2を発生する。

【0116】なお、この実施例においても、先に説明した実施例と同様、半導体メモリ13A、13Bのアクセスは画像1枚単位で行われるので、選択信号S1、S2が同時に半導体メモリ13A、13Bを選択する論理レベル（ここでは、選択レベルを“H”とする）になることはない。また、外部機器からは、半導体メモリ13Aを選択するときに“H”になる準備状況指示信号CSSa1と、半導体メモリ13Bを選択するときに“H”になる準備状況指示信号CSSa2とが、コネクタ14を介して供給される。

【0117】ここで、タイミング発生回路7が、図1に示した記録トリガースイッチ5の閉路に運動してタイミング発生回路2から供給される動作制御信号MCを受けて半導体メモリ13のアクセスを実行するとき、選択信

26

号発生回路35では、記録トリガースイッチ5のある1回の閉路により、選択信号S1が“H”に、選択信号S2が“L”になり、記録トリガースイッチ5の次の閉路により、選択信号S1が“L”に、選択信号S2が“H”になり、記録トリガースイッチ5のさらに次の閉路時には、選択信号S1、S2が最初のレベルに戻って、これ以降、選択信号S1、S2のレベルの変化が、記録トリガースイッチ5の閉路毎に、上記のように繰り返される。

10 【0118】この選択信号S1、S2は夫々ANDゲート36、37に供給されるが、タイミング発生回路7の動作開始とともに“L”になり、その動作中では、ANDゲート36、37のレベルを維持するために、動作終了信号MEをインバータ43でレベル反転してANDゲート36、37に供給するようにしている。ANDゲート36、37の出力信号は夫々、オア回路38、39を介し、チップイネーブル信号として、半導体メモリ13A、13Bのチップイネーブル端子CEに供給する。これにより、記録トリガースイッチ5の閉路によってタイ

20 ミング発生回路7が動作を実行する毎に、半導体メモリ13A、13Bが交互に選択されることになる。  
【0119】選択信号S1、S2は、また、夫々インバータ44、45でレベル反転された後、オア回路41、42を介して状態検知回路23A、23Bに供給される。また、動作終了信号MEも、これらオア回路41、42を介して状態検知回路23A、23Bに供給される。これにより、オア回路41の出力信号は、半導体メモリ13Aがタイミング発生回路7によってアクセスされている期間のみ“L”、他の期間は“H”となる。同様に、オア回路42の出力信号も、半導体メモリ13Bがタイミング発生回路7によってアクセスされている期間のみ“L”、他の期間は“H”となる。これらオア回路41、42の出力信号は、状態検知回路23A、23Bにおいて、図1における状態検知回路23での動作終了信号MEに代るものである。

30 【0120】状態検知回路23Aには外部機器から準備状況指示信号CSSa1が、状態検知回路23Bには準備状況指示信号CSSa2が夫々供給されるが、これら準備状況指示信号CSSa1、CSSa2は、図1での状態検知回路23に供給される準備状況指示信号CSSaと同様のものである。また、外部機器からの授受動作終了信号CSSbは状態検知回路23A、23Bともに供給される。

40 【0121】ここで、外部機器は、半導体メモリ13Aをアクセスするときには、準備状況指示信号CSSa1を、また、半導体メモリ13Bをアクセスするときには、準備状況指示信号CSSa2を夫々“H”にするが、これらを同時に“H”にすることはないようにする。また、外部機器は、半導体メモリ13A、13Bのいずれかをアクセスした場合にも、選択した半導体メモ



りのアクセス動作終了毎に、図 5 で示したようなパルス状の授受動作終了信号 C S S b を発生する。

【0122】以上の構成により、状態検知回路 23 A は図 4 に示した状態検知回路 23 と同じ動作をなし、半導体メモリ 13 A がタイミング発生回路 7 によりアクセスされているときには、準備状況指示信号 C S S a 1 の状態によらず、状態検知信号 S D a が“L”に保持され、このアクセスがなされていないときには、準備状況指示信号 C S S a 1 を“H”とすることによって状態検知信号 S D a を“H”に切り替えることができる。

【0123】状態検知信号 S D a は、“H”のとき、スイッチ 11 A、15 A を切り替えて半導体メモリ 13 A の各端子を外部機器と接続可能にするとともに、オア回路 38 を介して半導体メモリ 13 A のチップイネーブル端子 C E に供給され、それを動作可能な状態とする。さらに、オア回路 40 を介して外部機器に半導体メモリ 13 がアクセス可能な状態になったことを知らせる。半導体メモリ 13 B も、状態検知回路 23 B の動作により、同様に、アクセスが切り替えられる。

【0124】状態検知信号 S D a、S D b は、さらに、状態検知回路 34 にも供給される。図 1 に示した実施例においては、状態検知回路 23 から出力される状態検知信号 S D が、インバータ 9 を介して AND ゲート 6 に供給され、この状態検知回路 23 を、タイミング発生回路 2 に動作制御信号 M C の出力の待機をさせる制御に使用するものであったが、図 9 に示すこの実施例では、かかる動作は状態検知回路 34 を用いて行なうようにしている。

【0125】即ち、状態検知回路 34 は、選択信号 S 1、S 2 のレベルから選択信号発生回路 35 が次の動作で選択しようとする半導体メモリが半導体メモリ 13 A であるのか、半導体メモリ 13 B であるのかを検知できるので、状態検知信号 S D a あるいは S D b の論理レベルにより、外部機器による半導体メモリ 13 A、13 B の選択状況を知り、選択しようとする半導体メモリ 13 A または 13 B が外部機器によりアクセスされていないときには、動作を直ちに開始し、アクセスされているときには待機するか、あるいは半導体メモリ 13 A、13 B のアクセスされていない方を選択して動作を開始するようにする。

【0126】図 10 は図 9 における状態検知回路の一具体例を示すブロック図であって、34 a、34 b は AND ゲート、34 c はノア回路であり、図 9 に対応する部分には同一符号をつけている。

【0127】同図において、いま、選択信号 S 1 が“H”とすると、選択信号発生回路 35 は次の動作制御信号 M C の入力時に選択信号 S 2 を“H”に、選択信号 S 1 を“L”に夫々切り替え、また、択信号 S 2 が“H”のときには、次の次の動作制御信号 M C の入力時に選択信号 S 1 を“H”に、選択信号 S 2 を“L”に夫

々切り替える。

【0128】そこで、状態検知回路 34 において、選択信号 S 2 と状態検知信号 S D a とが AND ゲート 34 a に、選択信号 S 1 と信号 S D b とが AND ゲート 34 b に夫々供給されるが、いま、外部機器でアクセスされている半導体メモリ 13 A あるいは 13 B と、次のタイミング発生回路 7 の動作でアクセスすることが予定されている半導体メモリ 13 A または 13 B とが一致したとき、AND ゲート 34 a、34 b のいずれかから“H”の信号が出力される。このとき、ノア回路 34 c の出力信号が“L”になるので、AND ゲート 6 によって動作制御信号 M C の通過は阻止されることになり、状態検知信号 S D a あるいは S D b が“L”になることによって上記一致状態が解除されるまでの期間、待機動作状態となる。

【0129】図 9 に示した実施例では、二系統の半導体メモリ 13 A、13 B に夫々 1 枚ずつ計 2 枚の画像を記憶するものであるが、半導体メモリ 13 を増設し、これにともなうスイッチ 11、15 や、状態検知回路 23、オア回路 38 などからなる回路構成を増設することにより、2 枚以上の画像を記憶するようにすることができる。このときも、状態検知回路 34 は 1 つでよいが、N 系統の半導体メモリ 13 を用いた場合の状態検知回路 34 の一具体例を図 11 に示す。但し、同図において、341、342、343、344、……、34N は図 10 の AND ゲート 34 a、34 b に対応した AND ゲートであり、図 10 に対応する部分には同一符号をつけている。

【0130】図 11 において、N 個の半導体メモリ 13 に対応してカウンタ、あるいはシフトレジスタの段数が設定された選択信号発生回路 35 は N 個の選択信号 S 1、S 2、S 3、S 4、……、S N を発生し、これらは夫々状態検知回路 34 の AND ゲート 341、342、343、344、……、34N に供給される。また、図示しないが、図 9 の状態検知回路 23 A、23 A に相当するものが N 個設けられており、夫々からの状態検知信号 S D 1、S D 2、S D 3、S D 4、……、S D N が夫々 AND ゲート 341、342、343、344、……、34N に供給される。かかる構成により、タイミング発生回路 7 の次の動作により、アクセスが予定されているいずれかの半導体メモリ 13 の系統が外部機器によってアクセスされている場合には、タイミング発生回路 7 の動作実行を待機させることができる。

【0131】なお、図 10、図 11 において、選択信号発生回路 35 には電源投入時の初期リセット信号 I N S が供給され、上記のカウンタ等をリセットすることにより、初期状態での選択信号のセット（一般には、第 1 番目の選択信号 S 1 を“H”）を行なう。

【0132】さらに、図 10 あるいは図 11 での選択信号発生回路 35 のカウンタに、その現在のカウンタ数に

1を加えるデジタル加算回路と、その加算結果をこのカウンタにロードする機能を付加し、ノア回路34cの出力信号が“L”であり、かつ動作制御信号MCが“L”から“H”に反転したタイミングで上記のロードを実行するように構成することにより、ANDゲート6が動作制御信号MCが阻止したときには、自動的に選択信号発生回路35がカウントアップしてノア回路34cの出力信号が“L”となる条件を解除し、この解除によってANDゲート6を通過する動作制御信号MCにより、選択信号発生回路35をもう一度カウントアップすることにより、外部機器でアクセスされていない半導体メモリシステムを選択して書き込みを実行させるようになることが可能になる。

【0133】以上説明したように、半導体メモリ13を独立してアクセスできる複数のメモリブロックに分割しても、図1に示した実施例と同様の効果が得られ、さらにこの場合には、これら複数のメモリブロックのいずれかが外部機器によってアクセスされているときには、自動的にアクセスがなされていない方のメモリブロックを選択して、撮像動作あるいは再生動作による半導体メモリ13のアクセスを実行することもできる。従って、複数枚の画像の記録領域を有する半導体メモリ13を採用した場合、外部機器による半導体メモリ13のアクセスが実行されている期間においても、外部機器によって現在アクセスされている記録領域を除いた記録領域に複数枚の画像を撮影して記録することもできる。

【0134】なお、図1及び図9に示した実施例において、動作開始のための記録トリガースイッチ5を装置内に配置したものとしたが、本発明は、これに限定されず、例えば、赤外線を使用したリモートコントローラによって動作を開始させるようにすることもできるし、コネクタ14に接続された外部装置から動作開始を指令するようにすることもできる。

【0135】また、図1、図9に示した実施例においては、半導体メモリ13に代えて、例えば磁気ディスク等のメモリ手段を採用してもよく、上記と同様にして、これらのメモリアクセスの切替え制御を実行するように構成可能である。

【0136】さらに、図1、図9に示した実施例では、画像データを圧縮あるいは伸長するものとしたが、かかる機能は本発明では必須のものではない。また、半導体メモリ12をバッファメモリとして用いたが、特に画像データ圧縮・伸長機能を持たない実施例においては、この半導体メモリ12も必須ではなく、撮像された画像情報をリアルタイムで半導体メモリ13に記録するように構成してもよい。

【0137】さらにまた、図1、図9における半導体メモリ13、13A、13Bとして、前記したレディー／ビジー信号を発生するフラッシュ型メモリ素子を用いる場合には、それらが発生するレディー／ビジー信号と、

状態検知信号SD、SDa、SDbとの夫々論理和をとった信号をコネクタ14を介して外部機器に伝送するように構成してもよい。

【0138】さらにまた、図1において、スイッチ10と半導体メモリ12との間にさらにスイッチ11に相当するスイッチを設け、また、半導体メモリ12のデータ入力端子I、データ出力端子Oを夫々切り替えることによって図1に示した接続関係と、コネクタ14を介した外部機器との接続関係とに選択して接続可能なスイッチを設け、このスイッチを、タイミング発生回路2の動作状態を示す信号を、動作終了信号MEに代えて、あるいは動作終了信号MEに加えて用いる状態検知回路23の出力信号によって切り替えるように構成することにより、外部機器からの圧縮処理されていない画像データを半導体メモリ12に書き込み、これを画像データ圧縮処理回路21で圧縮して半導体メモリ13に書き込むことや、外部機器からの圧縮処理された画像データを半導体メモリ13に書き込み、これを画像データ伸長処理回路125で復元して半導体メモリ12に一旦取り込み、その後、外部機器にこの半導体メモリ12から復元された画像情報を読み出すようにすることが実現できる。また、このとき、任意のタイミングで使用者が記録トリガースイッチ5を操作して開始する半導体メモリ12のアクセスと外部機器による個の半導体メモリ12のアクセスとが重複することも、状態検知回路の動作によって自動的に回避できるので、1枚分の画像データ中に複数枚の画像のデータが混在することがない。

【0139】図12は本発明による撮像記録装置46の一実施例の外観図と使用例を示す図である。ここで、46は本発明による撮像記録装置、47は撮像用受光レンズ、48は従来のフィルムカメラと同様なファインダ、49はレンズフードである。

【0140】図12(a)は撮像記録装置の外観を示しており、これには、従来のフィルムカメラと同様な撮像用受光レンズ47、ファインダ48、レンズフード49が設けられている。また、これも従来のフィルムカメラと同様に、上面の図示左側に記録トリガースイッチ5が設けられており、図示右側側面にコネクタ14が取付けられている。ここで、装置に取外し不能に内蔵した半導体メモリ13を用いると、図示する厚さDを極めて薄くすることができる。

【0141】図12(b)～(e)は外部機器をパーソナルコンピュータPCとし、これに撮像記録装置46を装着して使用する例を示すものであり、図12(b)は撮像記録装置46のコネクタ14をパーソナルコンピュータPC内部のソケットに直接接続した場合を示す。

【0142】図12(c)は撮像記録装置46のコネクタ14をソケット50とケーブル51を介してパーソナルコンピュータPCと接続する例を示す。

【0143】図12(d)は交流電源から直流電圧を生

成する公知の交流直流コンバータ等の電源回路を内蔵したアダプタ52に撮像記録装置46を装着し、このアダプタ52とパーソナルコンピュータPCとを接続するものである。この場合、例えば、コネクタ14に設けた動作電源入力端子から撮像記録装置46に動作電源を供給するとともに、コネクタ14の入出力信号をアダプタ52内部に設置される電気回路、例えば電気配線、あるいは信号バッファ回路等を介してパーソナルコンピュータPCと接続する。なお、アダプタ52は乾電池等公知の直流電源を内蔵したものでもよく、また、この場合、アダプタ52を専ら動作電源の供給用として構成し、撮像記録装置46の屋外での使用時等にとともに用いるようなこともできる。

【0144】図12(e)は公知の卓上型照明器スタンドと同様な機構を有するアダプタ53に装着してパーソナルコンピュータPCと接続するようにした例を示す。この場合、例えば丸形の蛍光灯54a、54bの蛍光灯の描く円の内側に撮像記録装置46を設置することにより、蛍光灯54a、54bで照明された被写体を撮像し、その画像情報をパーソナルコンピュータPCに伝送するように構成できる。

【0145】ここで、図12(a)に示すコネクタ14の端子位置を、撮像用重厚レンズ47の入射光の方向と反対の側の装置外装面を基準として規定するような構成とすることにより、図12(b)～(e)等の運用において、上記基準となる面をアダプタ等に向けて装着したとき、入射光方向が遮蔽されずに開放されるので、パーソナルコンピュータPCあるいはアダプタ等に装着した状態で撮像することができる。

【0146】

【発明の効果】以上説明したように、本発明によれば、撮像した画像情報を記憶するために撮像記録装置に内蔵されているメモリが、装置外部から該メモリをアクセスするための信号切替え手段及び信号伝送用コネクタを備えたことにより、上記メモリに記憶される情報を外部機器との間で授受する場合にも、取外し不要となり、装置の小型化が可能となるし、また、メモリ装脱着の手間がかからず、使い勝手が向上する。

【0147】これとともに、上記メモリの装置外部からのアクセス動作の準備状態や実行状態を検知する手段を備え、かかる状態を検知したときには、撮像した画像の上記メモリへの書込みの実行を待機するように構成し、また、撮像した画像の上記メモリへの書込みが準備状態にあるか、あるいは、実行状態にあることを検知する手段を備え、かかる状態を検知したときには、外部機器からの上記メモリのアクセス動作の実行を待機するように構成したことにより、使用者の操作による撮像画像の書込み動作の任意のタイミングでの指示が、画像情報を変容させることなく、実行可能であり、外部機器との間で信号授受実行時に上記指示があっても、授受されてい

る画像情報の内容が変化してしまうことがない。また、撮像画像の上記メモリへの書込み動作の実行時に、上記コネクタを介して外部機器と接続しても、書込み中の撮像画像の内容が変化してしまうことがない。

【0148】さらに、上記メモリが複数枚の画像の記録領域を有する場合には、外部機器との間での信号授受の実行中の期間においても、使用者の操作による撮像画像の書込み動作の任意のタイミングでの指示により、このタイミングでの画像撮影が可能であって、チャンスを逃さずに撮影することができる。

【図面の簡単な説明】

【図1】本発明による撮像記録装置の一実施例を示すブロック図である。

【図2】従来の撮像記録装置に用いられるFIFO型メモリを示す模式図である。

【図3】図1における半導体メモリの動作を示すタイミング図である。

【図4】図1における状態検知回路の一具体例を示すブロック図である。

【図5】図1に示した実施例の外部機器との信号授受機能と、図4に示した状態検知回路の動作を示すタイミング図である。

【図6】図1における状態検知回路の他の具体例を示すブロック図である。

【図7】図6に示した状態検知回路の動作を示すタイミング図である。

【図8】図1に示した実施例の画像再生動作を示すタイミング図である。

【図9】本発明による撮像記録装置の他の実施例の要部を示すブロック図である。

【図10】図9における状態検知回路の一具体例を示すブロック図である。

【図11】図9における状態検知回路の他の具体例を示すブロック図である。

【図12】本発明による撮像記録装置の一実施例の外観とその使用例を示す図である。

【符号の説明】

- 1 撮像素子
- 2 タイミング発生回路
- 4 電源スイッチ
- 5 記録トリガースイッチ
- 7 タイミング発生回路
- 10, 11, 11A, 11B スイッチ
- 12, 13, 13A, 13B 半導体メモリ
- 14 コネクタ
- 15, 15A, 15B, 16 スイッチ
- 17 カメラ信号処理回路
- 18 スイッチ
- 19 エンコーダ
- 20 出力端子

33

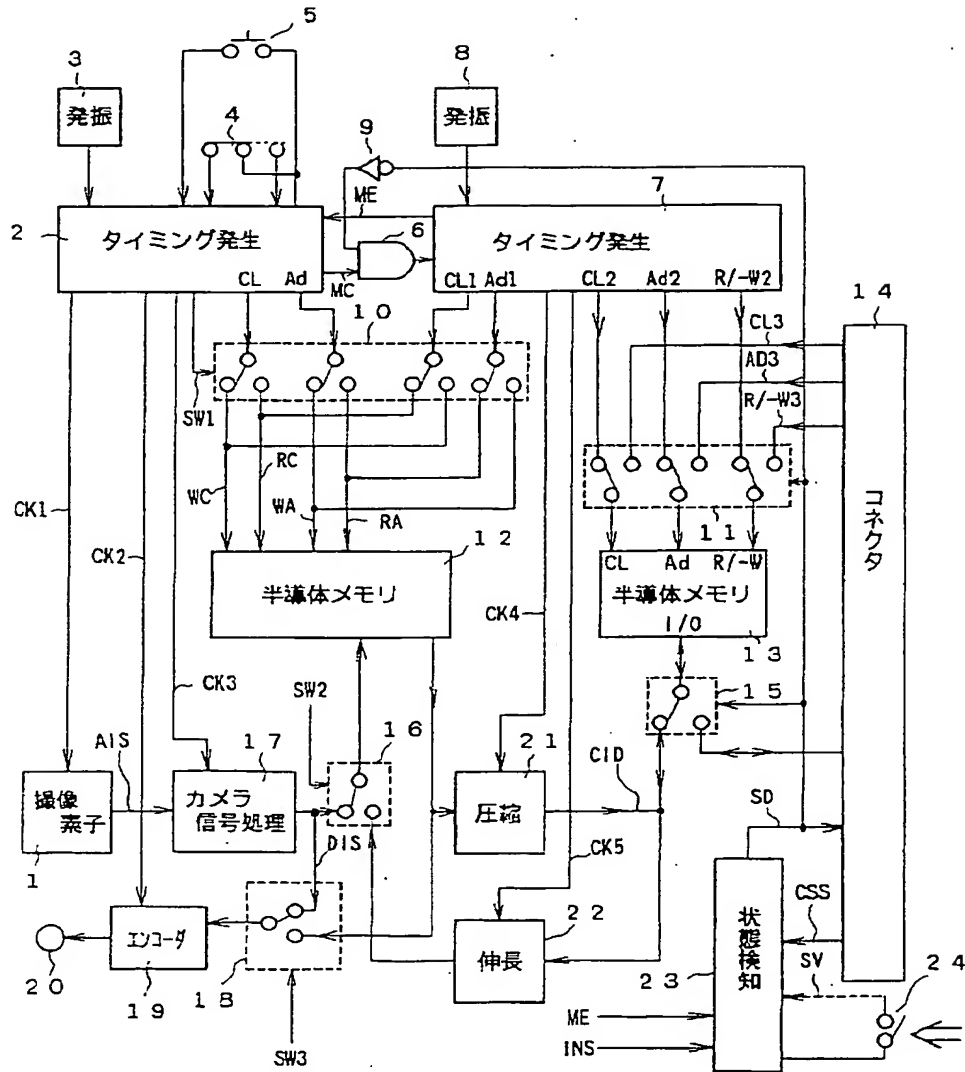
34

- 21 画像データ圧縮処理回路  
 22 画像データ伸長処理回路  
 23, 23A, 23B 状態検知回路  
 24 嵌合検知スイッチ

- 25 外部機器  
 34 状態検知回路  
 35 選択信号発生回路

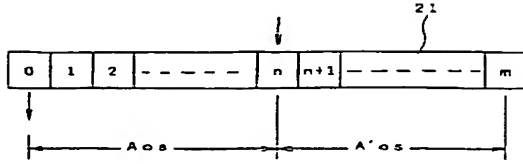
【図1】

【図1】



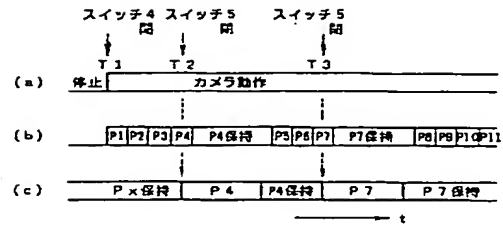
【図2】

【図2】



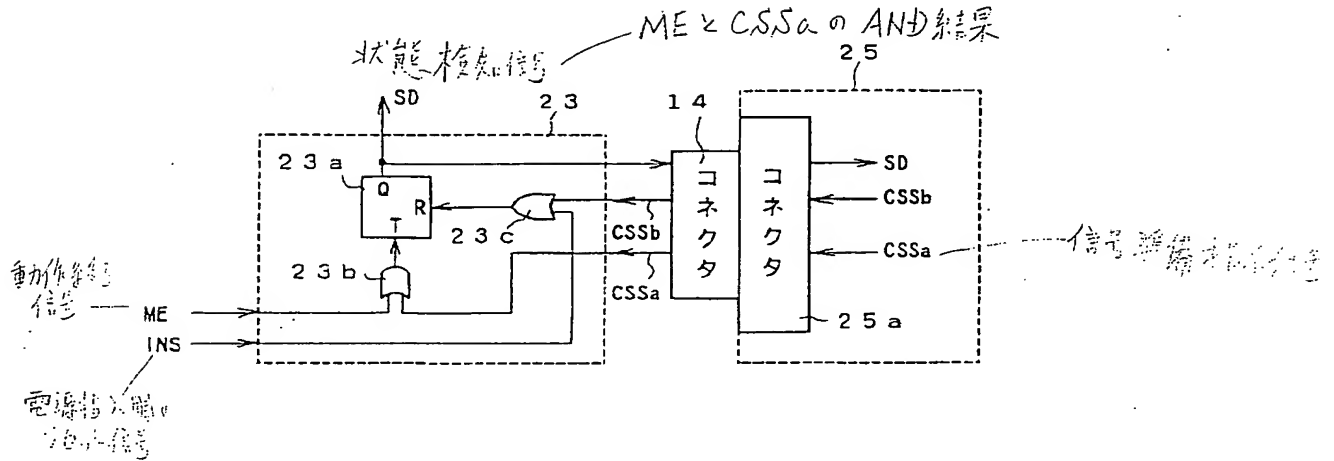
【図3】

【図3】



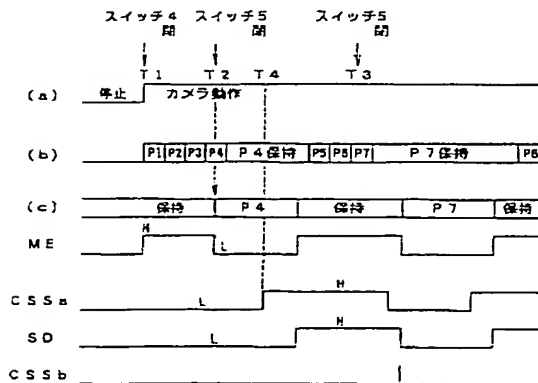
【図4】

【図4】



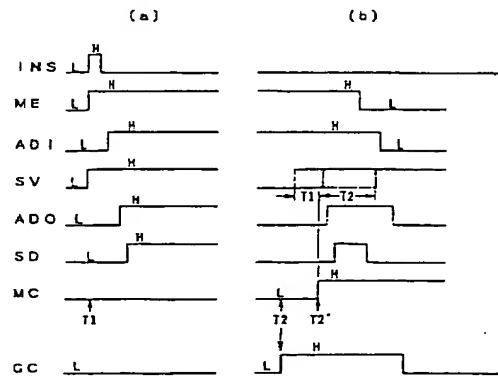
【図5】

【図5】



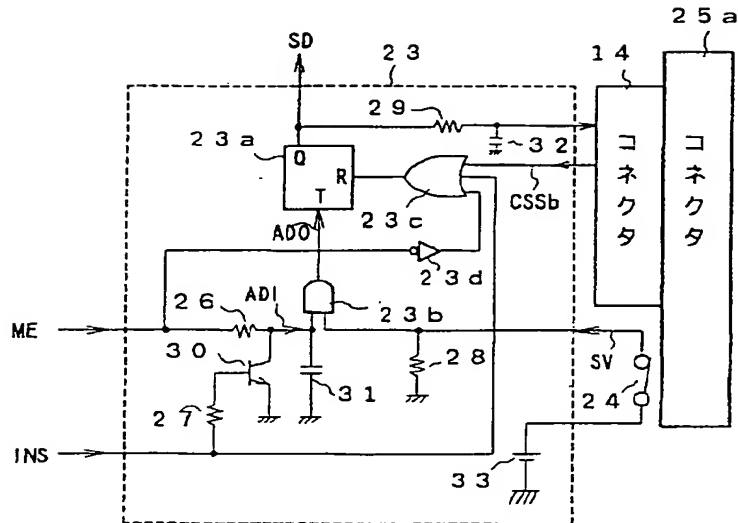
【図7】

【図7】



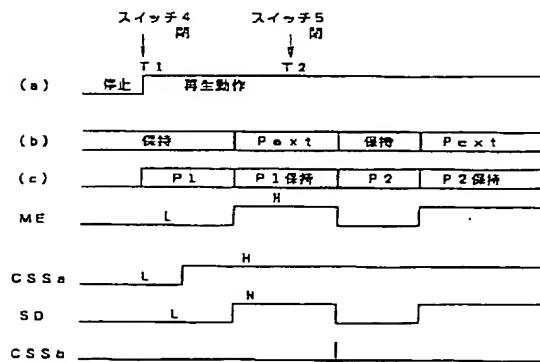
【図6】

【図6】



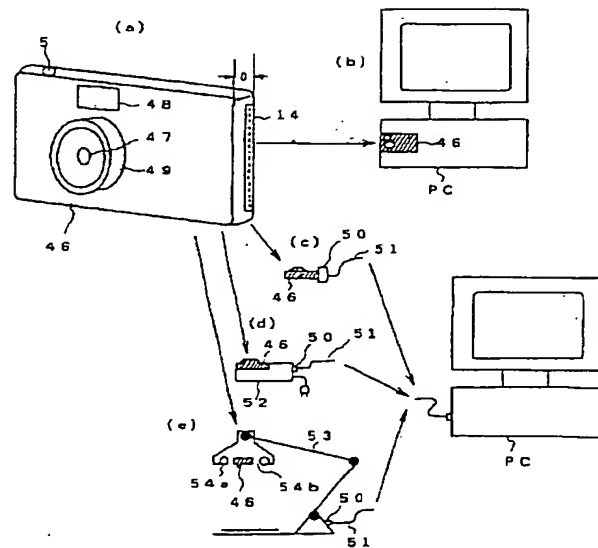
【図8】

【図8】



【図12】

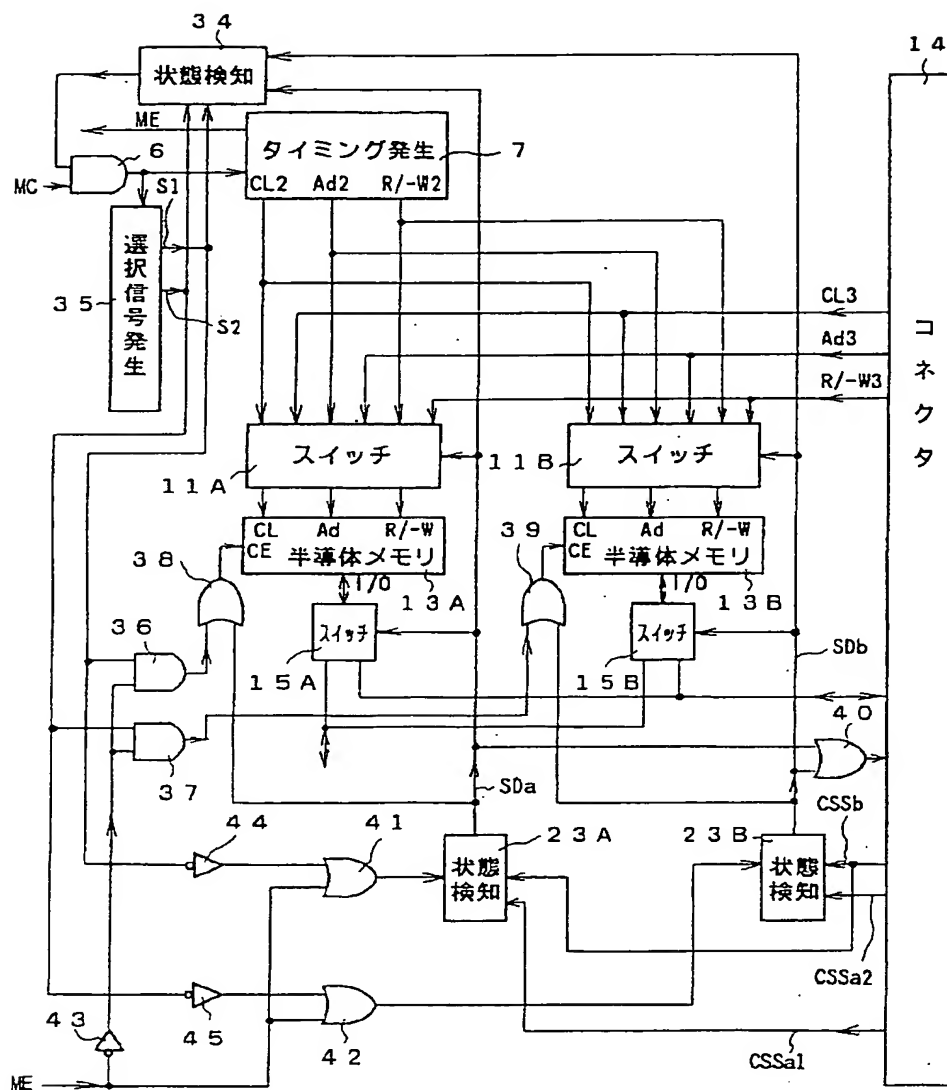
【図12】



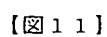


【図9】

【図9】



【☒ 10】



【图11】

